

CCD周辺をオールインワンパッケージ！

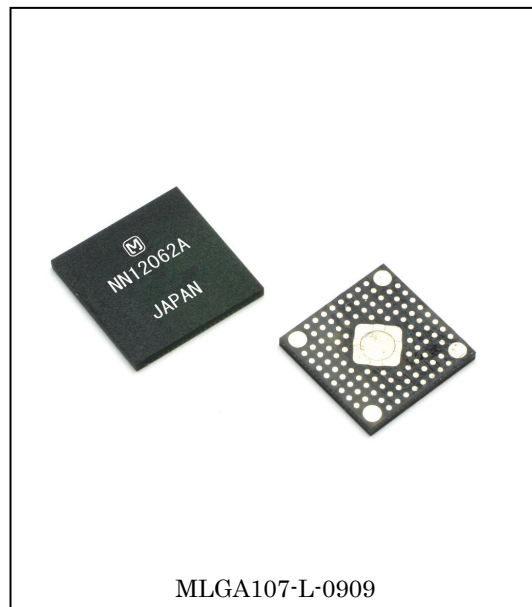
CCDカメラ用アナログ フロントエンドIC NN12062A/63A

■ 概 要

NN12062A/63Aは、CCDカメラのアナログフロントエンド処理（CDS、GCA、ADコンバータ）に当社CCD対応のタイミングジェネレータと垂直ドライバーを内蔵したICです。専用タイミングジェネレータと垂直ドライバー内蔵により、CCDカメラの設計期間の短縮と省スペース化が実現できます。

■ 特 長

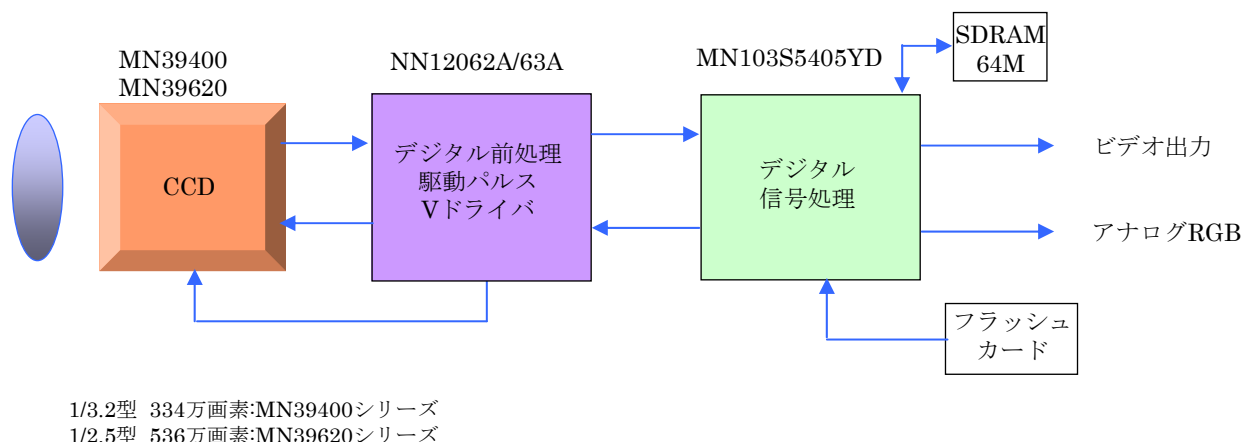
- 大きな入力ダイナミックレンジ：1.2V
- GCAの幅広い利得範囲：-2dB ~ 34dB
- 従来品よりS/Nを3dBアップ
- 水平ドライバ付
- ストロボ同期パルス出力付
- 電子ズーム機能、電子シャッター機能搭載
- 8チャンネル垂直ドライバと1チャンネルSUBドライバ内蔵
- 小型LLGAパッケージ採用



■ 用 途

CCDカメラ（DSC、携帯電話用カメラ等）

■ システムブロック図



■ ピン配置図 (TOP VIEW)

Package: MLGA107-L-0909

TOP VIEW

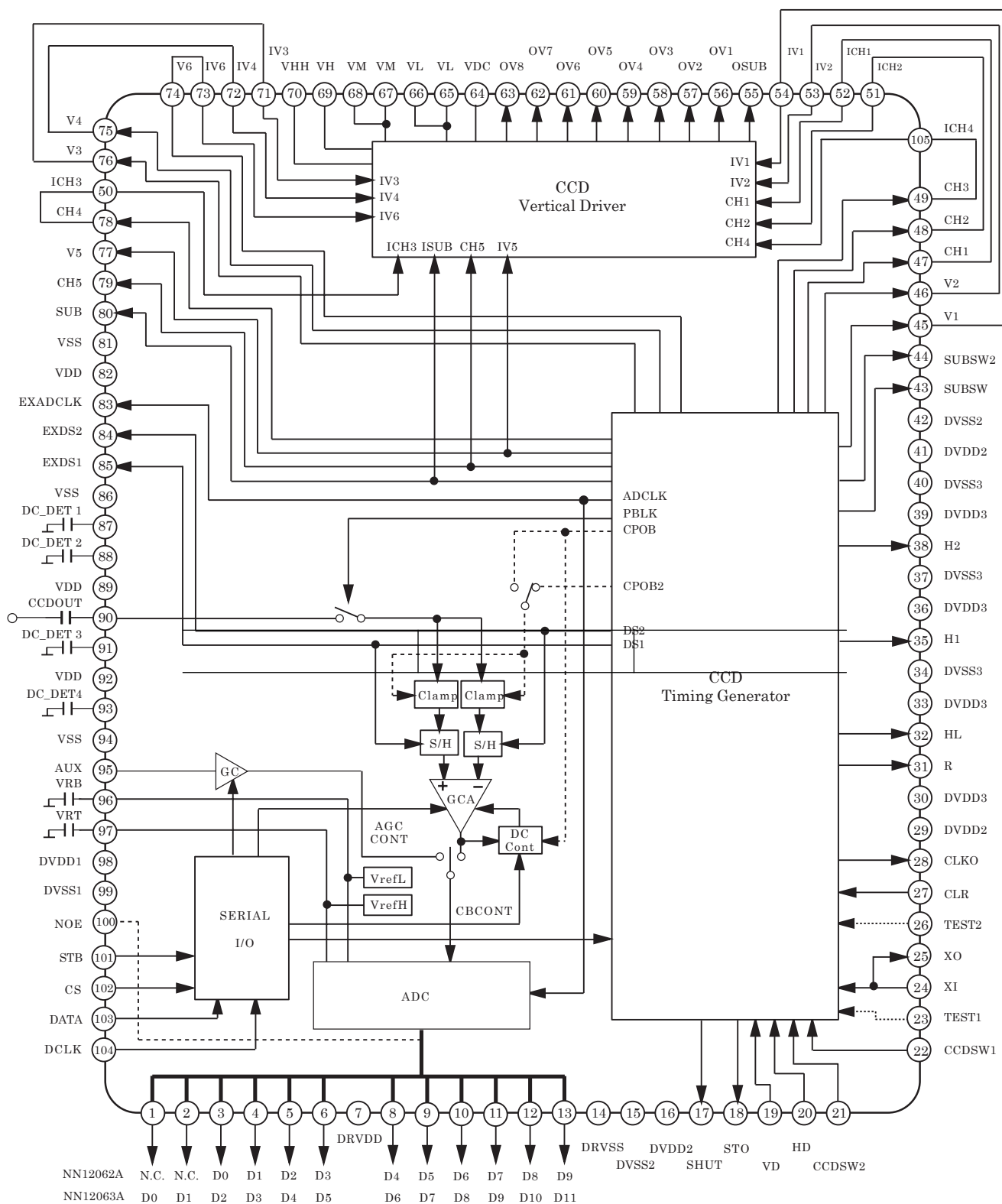
13	22		19	52	54	13	64	66	8	5	2	57	
12			20	18	16	14	11	68	7	4	56		
11	71	23	21	17	15	12	10	9	6	3	1	104	103
10	25	24	51								101	102	58
9	28	27	26								98	100	99
8	53	29	50								59	97	60
7	31	32	30								95	96	62
6	33	34	72								93	94	63
5	73	35	N.C.								90	91	92
4	37	38	36								88	89	61
3	39	40	N.C.	78	44	69	49	47	46	82	86	55	87
2	77		105	41	43	74	75	45	81	83	85	67	
1				79	80	42	76	48	70	65	84		
	A	B	C	D	E	F	G	H	J	K	L	M	N

TOP VIEW

13	CCDSW1		VD	ICH1	IV1	D9/D11	VDC	VL	D4/D6	D2/D4	N.C./D1	OV2	
12			HD	STO	DVDD2	DRVSS	D7/D9	VM	DRVDD	D1/D3	OV1		
11	IV3	TEST1	CCDSW2	SHUT	DVSS2	D8/D10	D6/D8	D5/D7	D3/D5	D0/D2	N.C./D0	DCLK	DATA
10	XO	XI	ICH2								STB	CS	OV3
9	CLKO	CLR	TEST2								DVDD1	NOE	DVSS1
8	IV2	DVDD2	ICH3								OV4	VRT	OV5
7	R	HL	DVDD3								AUX	VRB	OV7
6	DVDD3	DVSS3	IV4								DC_DET4	VSS	OV8
5	IV6	H1	N.C.								CCDOUT	DC_DET3	VDD
4	DVSS3	H2	DVDD3								DC_DET2	VDD	OV6
3	DVDD3	DVSS3	N.C.	CH4	SUBSW2	VH	CH3	CH1	V2	VDD	VSS	OSUB	DC_DET1
2	V5		ICH4	DVDD2	SUBSW	V6	V4	V1	VSS	EXADCLK	EXDS1	VM	
1				CH5	SUB	DVSS2	V3	CH2	VHH	VL	EXDS2		
	A	B	C	D	E	F	G	H	J	K	L	M	N

 Thermal / dummy land
  No land
  N.C. Land without wire connection

■ ブロック図



ADコンバータ分解能

NN12062A:10ビット

NN12063A:12ビット

■ 端子説明1

	No	端子名	PIN	I/O	説明	備考
※	1	N.C./D0	L11	-/O	N.C./AD出力(LSB)	MOT1FY
※	2	N.C./D1	L13	-/O	N.C./AD出力	MOT1FY
※	3	D0/D2	K11	O	AD出力(LSB)/AD出力	MOT1FY
※	4	D1/D3	K12	O	AD出力	MOT1FY
※	5	D2/D4	K13	O	AD出力	MOT1FY
※	6	D3/D5	J11	O	AD出力	MOT1FY
	7	DRVDD	J12	-	信号処理部デジタル出力用電源	MVDD1Y
※	8	D4/D6	J13	O	AD出力	MOT1FY
※	9	D5/D7	H11	O	AD出力	MOT1FY
※	10	D6/D8	G11	O	AD出力	MOT1FY
※	11	D7/D9	G12	O	AD出力	MOT1FY
※	12	D8/D10	F11	O	AD出力	MOT1FY
※	13	D9/D11	F13	O	AD出力(MSB)	MOT1FY
	14	DRVSS	F12	-	信号処理部デジタル出力用GND	MVSS1Y
	15	DVSS2	E11	-	タイミング発生部GND	MVSS1Y
	16	DVDD2	E12	-	タイミング発生部電源	MVDD1Y
	17	SHUT	D11	O	メカシャッターコントロールパルス	MOP8SY
	18	STO	D12	O	ストロボ発光用トリガ出力	MOP2FY
	19	VD	C13	I	垂直同期パルス入力	MISCY シュミット
	20	HD	C12	I	水平同期パルス入力	MISCY シュミット
	21	CCDSW2	C11	I	CCD設定入力端子2	MBD1Y Pull-down抵抗付
	22	CCDSW1	A13	I	CCD設定入力端子1	MBD1Y Pull-down抵抗付
	23	TEST1	B11	I	テスト入力端子1 (通常L)	MBD1Y Pull-down抵抗付
	24	XI	B10	I	水晶発振子入力 (2FCK=49.09/54.0 MHz)	MXIY
	25	XO	A10	O	水晶発振子出力 (2FCK:3通倍、帰還抵抗外付)	MOSC90DY
	26	TEST2	C9	I	テスト入力端子2 (通常L)	MBD1Y Pull-down抵抗付
	27	CLR	B9	I	オールクリア入力	MBU1Y Pull-up抵抗付
	28	CLKO	A9	O	CLKO(FCK)クロック出力(24.5454/27.0MHz)	MOT4FY
	29	DVDD2	B8	-	タイミング発生部電源	MVDD1Y

※部のピンについては、NN12062A、NN12063Aの端子名を併記しています。
(端子名はNN12062A/NN12063A の対応となります。)

■ 端子説明2

No	端子名	PIN	I/O	説明	備考
30	DVDD3	C7	-	ϕ H, ϕ R用電源	MVDDIOXY
31	R	A7	O	ϕ Rパルス出力	KNOT8FY
32	HL	B7	O	ϕ HL転送パルス出力	KNOT8FY $\times 3^*$
33	DVDD3	A6	-	ϕ H, ϕ R用電源	MVDDIOXY
34	DVSS3	B6	-	ϕ H, ϕ R GND	MVSS1Y
35	H1	B5	O	ϕ H1転送パルス出力	KNOT8FY $\times 3^*$
36	DVDD3	C4	-	ϕ H, ϕ R用電源	MVDDIOXY
37	DVSS3	A4	-	ϕ H, ϕ R GND	MVSS1Y
38	H2	B4	O	ϕ H2転送パルス出力	KNOT8FY $\times 3^*$
39	DVDD3	A3	-	ϕ H, ϕ R用電源	MVDDIOXY
40	DVSS3	B3	-	ϕ H, ϕ R GND	MVSS1Y
41	DVDD2	D2	-	タイミング発生部電源	MVDDIOXY
42	DVSS2	F1	-	タイミング発生部GND	MVSS1Y
43	SUBSW	E2	O	SUBバイアス電圧設定切換出力 1	MOP2FY
44	SUBSW2	E3	O	SUBバイアス電圧設定切換出力 2	MOP2FY
45	V1	H2	O	ϕ V1転送パルス出力	MOP2FY
46	V2	J3	O	ϕ V2転送パルス出力	MOP2FY
47	CH1	H3	O	ϕ V1PD電荷読出しパルス出力	MZ2FY
48	CH2	H1	O	ϕ V3PD電荷読出しパルス出力	MOP2FY
49	CH3	G3	O	ϕ V5PD電荷読出しパルス出力	MOP2FY
50	ICH3	C8	I	(V Driver) ϕ V7PD電荷読出しパルス入力	
51	ICH2	C10	I	(V Driver) ϕ V3PD電荷読出しパルス入力	
52	ICH1	D13	I	(V Driver) ϕ V1PD電荷読出しパルス入力	
53	IV2	A8	I	(V Driver) ϕ V2転送パルス入力	
54	IV1	E13	I	(V Driver) ϕ V1転送パルス入力	
55	OSUB	M3	O	(V Driver) PD電荷基板排出パルス出力	
56	OV1	L12	O	(V Driver) ϕ V1転送パルス出力(3値:VH,VM,VL)	
57	OV2	M13	O	(V Driver) ϕ V2転送パルス出力(2値:VM,VL)	
58	OV3	N10	O	(V Driver) ϕ V3転送パルス出力(3値:VH,VM,VL)	V3B (MN39400/MN39620)

* シリアル設定によるドライブ能力の設定が必要です。

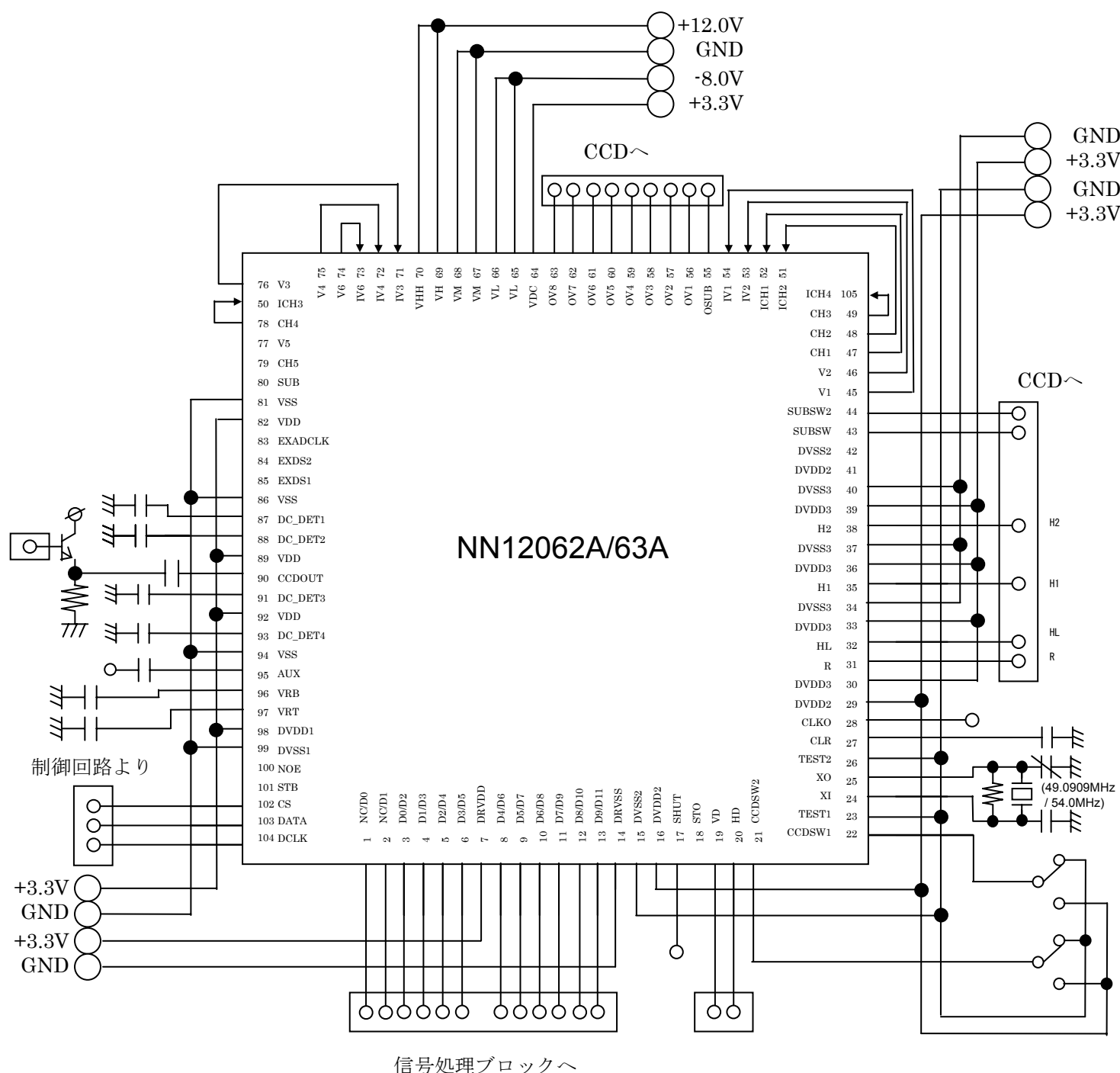
■ 端子説明3

No	端子名	PIN	I/O	説明	備考
59	OV4	L8	O	(V Driver) ϕ V4転送パルス出力(2値:VM,VL)	
60	OV5	N8	O	(V Driver) ϕ V7転送パルス出力(値:VH,VM,VL)	ϕ V3A (MN39400/MN39620)
61	OV6	N4	O	(V Driver) ϕ V6転送パルス出力(2値:VM,VL)	
62	OV7	N7	O	(V Driver) ϕ V5転送パルス出力(値:VH,VM,VL)	ϕ V5B (MN39400/MN39620)
63	OV8	N6	O	(V Driver) ϕ V8転送パルス出力(値:VH,VM,VL)	ϕ V5A (MN39400/MN39620)
64	VDC	G13	-	(V Driver) 入力部ハイレベル電源	
65	VL	K1	-	(V Driver) ローレベル電源	
66	VL	H13	-	(V Driver) ローレベル電源	
67	VM	M2	-	(V Driver) ミドルレベル電源	
68	VM	H12	-	(V Driver) ミドルレベル電源	
69	VH	F3	-	(V Driver) 垂直ドライバ部ハイレベル電源	
70	VHH	J1	-	(V Driver) SUBドライバ部ハイレベル電源	
71	IV3	A11	I	(V Driver) ϕ V3転送パルス入力	
72	IV4	C6	I	(V Driver) ϕ V4転送パルス入力	
73	IV6	A5	I	(V Driver) ϕ V6転送パルス入力	
74	V6	F2	O	ϕ V6転送パルス出力	MOP2FY
75	V4	G2	O	ϕ V4転送パルス出力	MOP2FY
76	V3	G1	O	ϕ V3転送パルス出力	MOP2FY
77	V5	A1	O	ϕ V5転送パルス出力	MOP2FY
78	CH4	D3	O	ϕ V7PD電荷読出しパルス出力	MOP2FY
79	CH5	D1	O	ϕ V8PD電荷読出しパルス出力	MOP2FY
80	SUB	E1	O	PD電荷基板排出パルス出力	MZ2FY
81	VSS	J2	-	信号処理部アナログGND	MVSS1Y

■ 端子説明4

No	端子名	PIN	I/O	説明	備考
82	VDD	K3	-	信号処理部アナログ電源	MVDD1Y
83	EXADCLK	K2	O	A/D用クロック出力 (24.5454/27.0MHz)	MOT4FY
84	EXDS2	L1	O	データS/Hパルス出力 (負論理固定)	MZ4FD2Y Pull-down抵抗付
85	EXDS1	L2	O	プリチャージS/Hパルス出力 (負論理固定)	MZ4FD2Y Pull-down抵抗付
86	VSS	L3	-	信号処理部アナログGND	MANVSSY
87	DC_DET1	N3	-	CDS出力DCレベル安定化端子	MAINY
88	DC_DET2	L4	-	GCA出力DCレベル安定化端子	MAINY
89	VDD	M4	-	信号処理部アナログ電源	
90	CCDOUT	L5	-	CDS出力信号入力端子	MAINY
91	DC_DET3	M5	-	バイアス安定化端子	MAINY
92	VDD	N5	-	信号処理部アナログ電源	MANVDDY
93	DC_DET4	L6	-	バイアス安定化端子2	MAINY
94	VSS	M6	-	信号処理部アナログGND	MANVSSY
95	AUX	L7	-	外部入力信号入力端子	MAINY
96	VRB	M7	-	VRB	MAINY
97	VRT	M8	-	VRT	MAINY
98	DVDD1	L9	-	信号処理部アナログ電源	MANVDDY
99	DVSS1	N9	-	信号処理部アナログGND	MANVSSY
100	NOE	M9	I	NOE入力端子	MBCY
101	STB	L10	I	STB入力端子	MBCY
102	CS	M10	I	シリアル通信用データラッチ入力	MISCY シュミット
103	DATA	N11	I	シリアル通信用データ入力	MISCY シュミット
104	DCLK	M11	I	シリアル通信用クロック入力	MISCY シュミット
105	ICH4	C2	I	(V Driver) ϕ V5PD電荷読出しパルス入力	

■ 応用回路例



※CCDとの接続の詳細についてはCCD仕様書をご参照ください。

※φR, φH用電源

$$V_{\phi Hh(\min)} + 0.05 \text{ V} < DVDD3 \leq 3.6 \text{ V}$$

$V_{\phi Hh(\min)}$ はCCD規格におけるφH動作のハイレベルの最小値です。

(注意) 電源電圧は、 $DVDD2 \leq DVDD3$ として下さい。

$DVDD1$, $DRVDD$, VDD の電源電圧は $DVDD2$ と同電圧にして下さい。

TG部各電源の投入順序に特に規定はありませんが、同時に投入されることを推奨いたします。

※発振回路には、必ず外付けの帰還抵抗をつけて下さい。

外部よりクロックを入力する際はX Iにデューティー比1 : 1のクロックを入力して下さい。

本資料に記載の技術情報および半導体のご使用にあたってのお願いと注意事項

- (1) 本資料に記載の製品および技術情報のうちで、「外国為替及び外国貿易法」に該当するものを輸出する時、または、国外に持ち出す時は、日本政府の許可が必要です。
- (2) 本資料に記載の技術情報は製品の代表特性および応用回路例などを示したものであり、弊社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を意味するものではありません。
- (3) 上記技術情報のご使用に起因して第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありません。
- (4) 本資料に記載されている製品は、標準用途 — 一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。
特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途 — 特定用途(航空・宇宙用、交通機器、燃焼機器、生命維持装置、安全装置など)にご使用をお考えのお客様および当社が意図した標準用途以外にご使用をお考えのお客様は、事前に弊社営業窓口までご相談願います。
- (5) 本資料に記載しております製品および製品仕様は、改良などのために予告なく変更する場合がありますのでご了承ください。したがって、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格書または仕様書をお求め願ひ、ご確認ください。
- (6) 設計に際して、特に最大定格、動作電源電圧範囲、放熱特性については保証範囲内でご使用いただきますようお願い致します。保証値を超えてご使用された場合、その後に発生した機器の欠陥については弊社として責任を負いません。
また、保証値内のご使用であっても、半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、社会的な損害などを生じさせない冗長設計、延焼対策設計、誤動作防止設計などのシステム上の対策を講じて頂きますようお願い致します。
- (7) 防湿包装を必要とする製品につきましては、個々の仕様書取り交わしの折、取り決めた条件(保存期間、開封後の放置時間など)を守ってご使用ください。
- (8) 本資料の一部または全部を弊社の文書による承諾なしに、転載または複製することを堅くお断り致します。