

LC875763B

ROM 64 Kバイト RAM 2 Kバイト 内蔵 8 ビット 1 チップ マイクロコンピュータ

LC875755B

ROM 56 Kバイト RAM 2 Kバイト 内蔵 8 ビット 1 チップ マイクロコンピュータ

LC875747B

ROM 48 Kバイト RAM 2 Kバイト 内蔵 8 ビット 1 チップ マイクロコンピュータ

概要

LC875763B / 55B / 47B は、最小バスサイクルタイム 100 ns で動作する CPU 部を中心に、64 K / 56 K / 48 K バイトの ROM、2 K バイト RAM、高機能 16 ビット タイマ / カウンタ × 2 (8 ビット タイマに分割可)、プリスケール付き 8 ビット タイマ × 4、時計用ベースタイマ、自動転送機能付き同期式 SIO × 1、非同期 / 同期式 SIO × 1、12 ビット PWM × 2、8 ビット 12 チャンネル AD コンバータ、高速 8 ビット パラレル インタフェース、高速クロックカウンタ、システムクロック分周機能、20 要因 10 ベクタ 割り込み機能等を 1 チップ に集積した 8 ビット マイクロコンピュータです。

特長

- ROM
 - ・ 65536 × 8 ビット (LC875763B)
 - ・ 57344 × 8 ビット (LC875755B)
 - ・ 49152 × 8 ビット (LC875747B)
- RAM
 - ・ 2048 × 9 ビット (LC875763B / 55B / 47B)
- 最小バスサイクルタイム
 - ・ 100 ns (10 MHz)
 - (注) バスサイクルタイムは ROM の読み出し速度を表します。
- 最小命令サイクルタイム (T_{cyc})
 - ・ 300 ns (10 MHz)

- この資料の情報 (掲載回路および回路定数を含む) は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資 (役務を含む) に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 本書記載の製品は、生命維持装置等、人命にかかわるような、極めて高度の信頼性を要する用途に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。従って、ご使用の際には「納入仕様書」でご確認下さい。

■ポート

- ・ノーマル耐圧入出力ポート
 - 1ビット単位で入出力指定可能 4 3 (P1n, P2n, P70~P73, P8n, PAn, PBn, PCn)
 - 4ビット単位で入出力指定可能 8 (P0n)
- ・ノーマル耐圧入力ポート 2 (XT1, XT2)
- ・ノーマル耐圧出力ポート 2 (PWM0, PWM1)
- ・発振専用ポート 2 (CF1, CF2)
- ・リセット端子 1 (RES#)
- ・電源端子 6 (VSS1~3, VDD1~3)

■タイマ

- ・タイマ0：キャプチャレジスタ付きの16ビットのタイマ/カウンタ
 - モード0：8ビットプログラマブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)×2チャンネル
 - モード1：8ビットプログラマブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)+8ビットカウンタ(8ビットキャプチャレジスタ付)
 - モード2：8ビットプログラマブルプリスケアラ付16ビットタイマ(16ビットキャプチャレジスタ付)
 - モード3：16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・タイマ1：PWM/トグル出力可能な16ビットのタイマ/カウンタ
 - モード0：8ビットタイマ(トグル出力付)+8ビットタイマ/カウンタ(トグル出力付)
 - モード1：8ビットPWM×2チャンネル
 - モード2：16ビットタイマ/カウンタ(トグル出力付)(下位8ビットからトグル出力可能)
 - モード3：16ビットタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)
- ・タイマ4：6ビットプリスケアラ付8ビットタイマ
- ・タイマ5：6ビットプリスケアラ付8ビットタイマ
- ・タイマ6：6ビットプリスケアラ付8ビットタイマ
- ・タイマ7：6ビットプリスケアラ付8ビットタイマ
- ・ベースタイマ
 - クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
 - 5種類の時間での割り込み発生が可能。

■高速クロックカウンタ

- 最高20MHzのクロックをカウントできる。(メインクロック10MHz使用時)
- リアルタイム出力

■SIO

- ・SIO0：8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切り替え可能
 - 8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3Tcy)
 - 連続自動データ通信(1~256ビット)
- ・SIO1：8ビット非同期/同期式シリアルインタフェース
 - モード0：同期式8ビットシリアルIO(2線式または3線式、転送クロック2~512Tcy)
 - モード1：非同期シリアルIO(半二重、データ8ビット、ストップビット1、ボーレート8~2048Tcy)
 - モード2：バスモード1(スタートビット、データ8ビット、転送クロック2~512Tcy)
 - モード3：バスモード2(スタート検出、データ8ビット、ストップ検出)

■ADコンバータ：8ビット×12チャンネル

■PWM：周期可変12ビットPWM×2チャンネル

■パラレルインタフェース

- ・RS, RD#, WR#, CS0#出力(極性切替可能)
- ・1Tcyでの読み出し/書き込み可能

■ リモコン受信回路 (P 7 3 / I N T 3 / T 0 I N 端子と共用)

- ・ ノイズ除去機能 (ノイズ除去フィルタの時定数選択 1 / 3 2 / 1 2 8 T c y c)

■ ウォッチドッグタイマ

- ・ R C 外付けによるウォッチドッグタイマ
- ・ 割り込み, リセットの選択可能

■ 割り込み

- ・ 2 0 要因 1 0 ベクタ

割り込みは低レベル (L) , 高レベル (H) , 最高レベル (X) の 3 レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

2 つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	X または L	INT0
2	0000BH	X または L	INT1
3	00013H	H または L	INT2/TOL/INT4
4	0001BH	H または L	INT3/INT5/ベースタイマ
5	00023H	H または L	TOH
6	0002BH	H または L	T1L/T1H
7	00033H	H または L	SI00
8	0003BH	H または L	SI01
9	00043H	H または L	ADC/T6/T7
10	0004BH	H または L	ポート 0/T4/T5/PWM0,1

- ・ 優先レベル X > H > L

- ・ 同一レベルではベクタアドレスの小さいものが優先

■ サブルーチンスタックレベル : 最大 1 0 2 4 レベル (スタックは R A M の中に設定)

■ 高速乗除算命令

- ・ 1 6 ビット × 8 ビット (実行時間 : 5 T c y c)
- ・ 2 4 ビット × 1 6 ビット (実行時間 : 1 2 T c y c)
- ・ 1 6 ビット ÷ 8 ビット (実行時間 : 8 T c y c)
- ・ 2 4 ビット ÷ 1 6 ビット (実行時間 : 1 2 T c y c)

■ 発振回路

- ・ R C 発振回路 (内蔵) : システムクロック用
- ・ C F 発振回路 : システムクロック用, R f 内蔵
- ・ 水晶発振回路 : 低速システムクロック用
- ・ 周波数可変 R C 発振回路 (内蔵) : システムクロック用

■ システムクロック分周機能

- ・ 低消費電流動作可能
- ・ 最小命令サイクルで 3 0 0 n s , 6 0 0 n s , 1 . 2 μ s , 2 . 4 μ s , 4 . 8 μ s , 9 . 6 μ s , 1 9 . 2 μ s , 3 8 . 4 μ s , 7 6 . 8 μ s の選択が可能 (メインクロック 1 0 M H z 使用時)

■ スタンバイ機能

- ・ H A L T モード : 命令実行停止, 周辺回路動作継続
発振の停止は自動的には行いません。
システムリセットまたは割り込みの発生により解除。
- ・ H O L D モード : 命令実行停止, 周辺回路動作停止
C F 発振, R C 発振, 水晶発振のいずれも自動的に停止します。
H O L D モードを解除するには次の 3 つの方法があります。
(1) リセット端子に「 L 」レベルを入力する。
(2) I N T 0 , I N T 1 , I N T 2 , I N T 4 , I N T 5 の少なくとも 1 つの端子に指定されたレベルを入力する。
(3) ポート 0 で割り込み要因が成立する。

- ・ X't a l H O L Dモード：命令実行停止，ベースタイマ以外の周辺回路動作停止
C F 発振，R C 発振は自動的に停止します。
水晶発振は突入時の状態を維持します。
X't a l H O L Dモードを解除するには次の4つの方法があります。
(1)リセット端子に「L」レベルを入力する。
(2)I N T 0，I N T 1，I N T 2，I N T 4，I N T 5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
(4)ベースタイマ回路で割り込み要因が成立する。

■ 出荷形態

- ・ Q I P 6 4 E (鉛フリー仕様品)
- ・ S Q F P 6 4 (鉛フリー仕様品)
- ・ D I P 6 4 S (6 0 0 m i l) (鉛フリー仕様品)

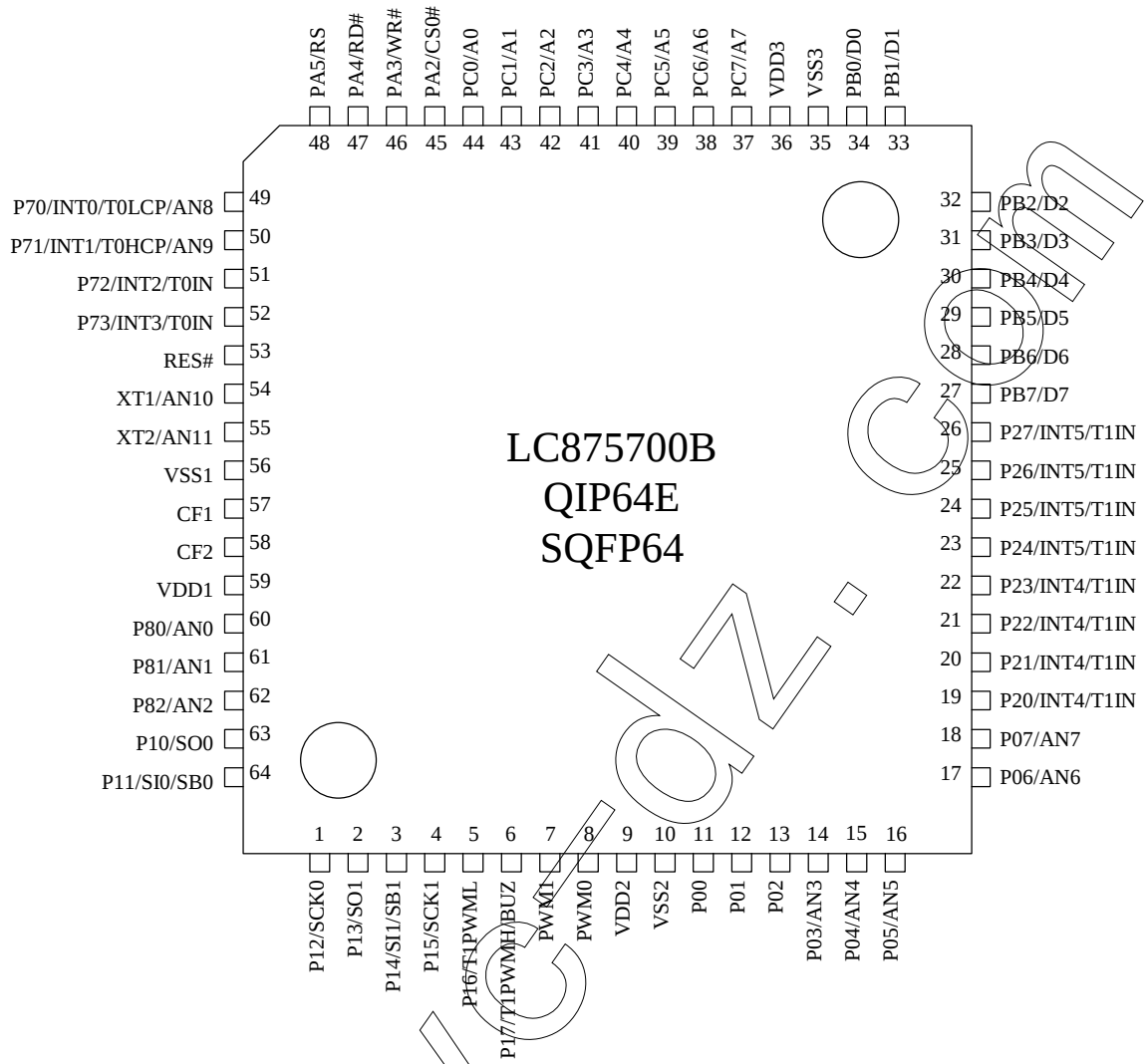
■ 開発ツール

- ・エバチップ : LC876093
・エミュレータ : EVA62S+ECB876600A+SUB875700+POD64QFP
or POD64SQFP
or POD64DIP

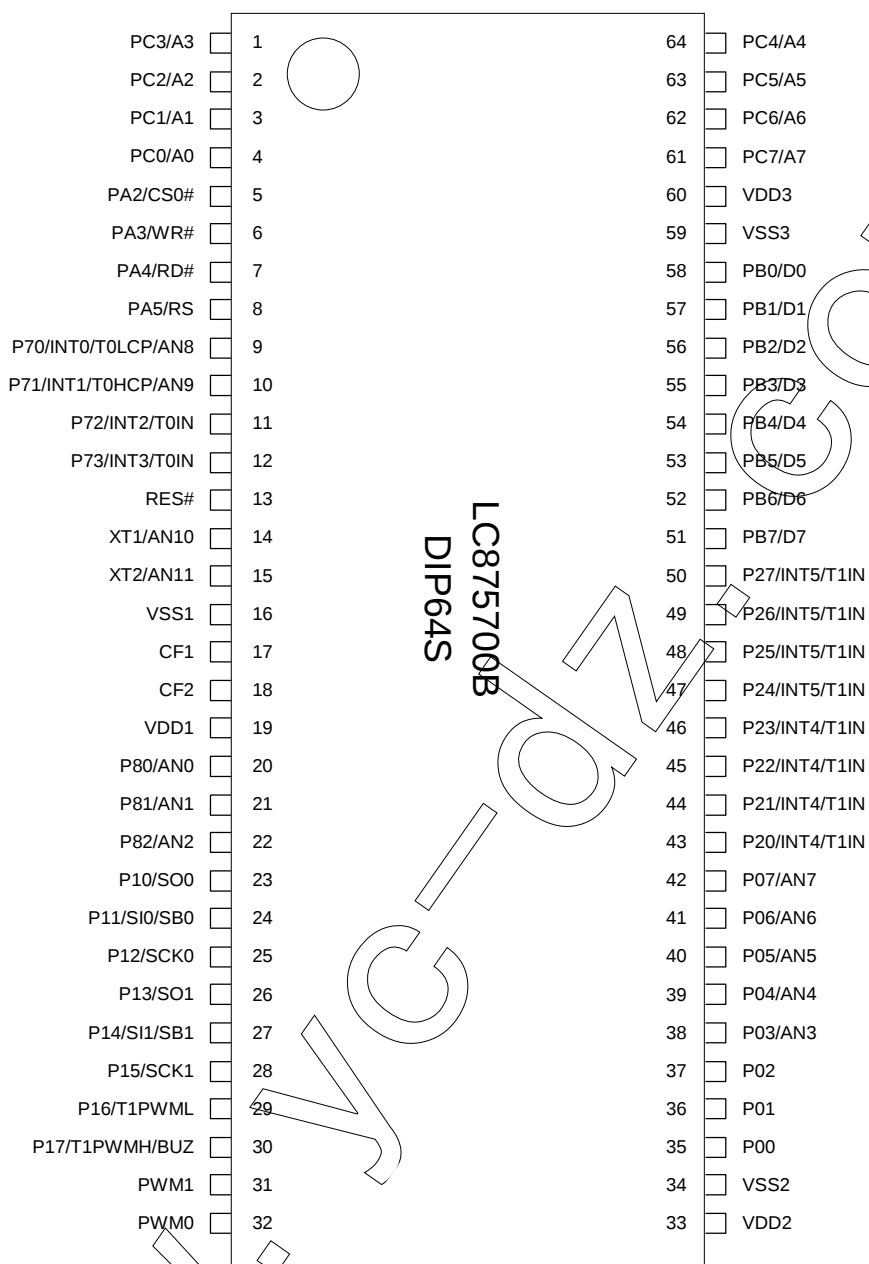
■フラッシュROM版

- LC87F57C8A

ピン配置図



SANYO : QIP64E (鉛フリー仕様品)
: SQFP64 (鉛フリー仕様品)

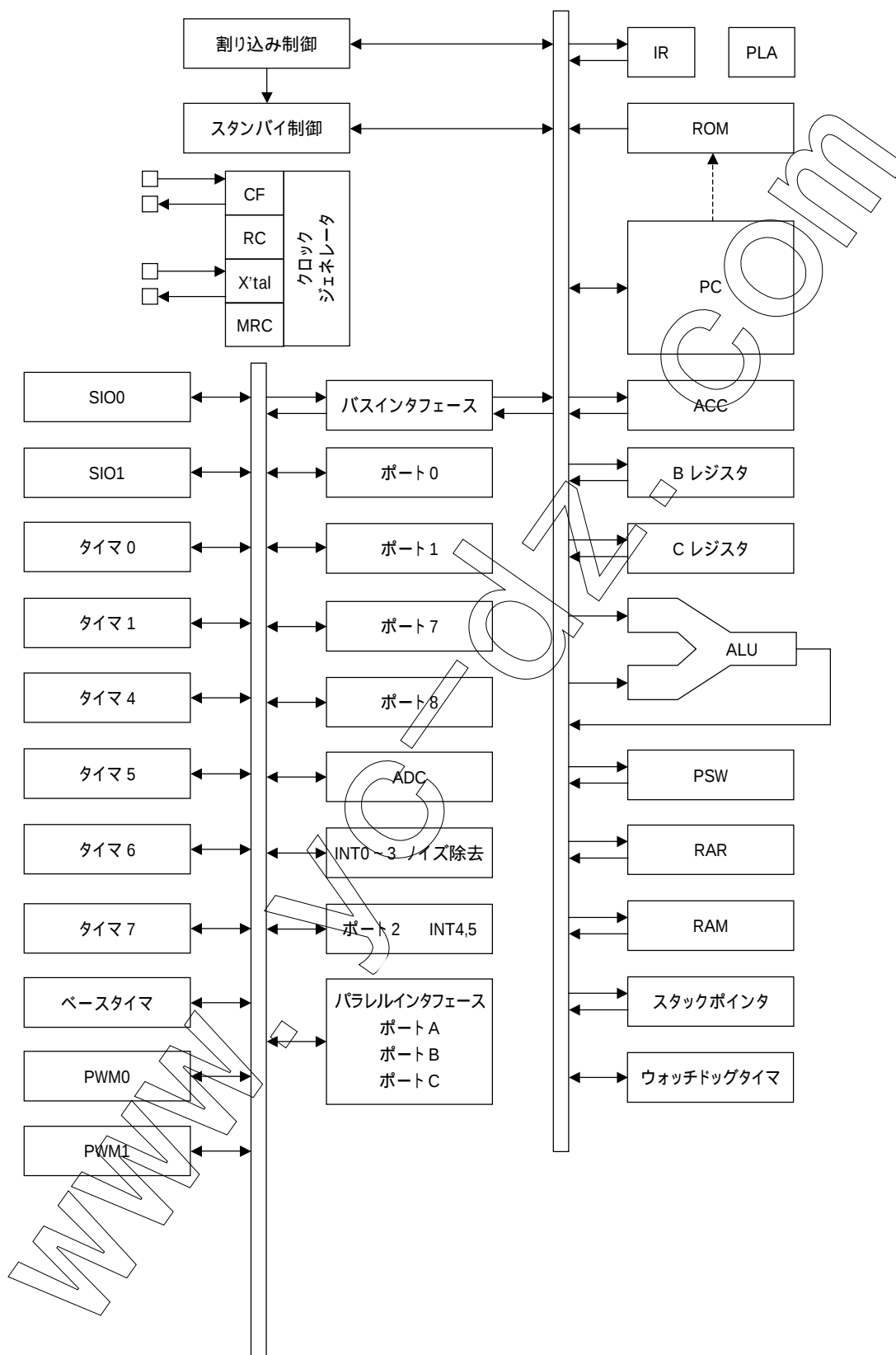


SANYO : DIP64S (600mil) (鉛フリー仕様品)

QIP /SQFP	NAME	DIP
1	P12/SCK0	25
2	P13/SO1	26
3	P14/SI1/SB1	27
4	P15/SCK1	28
5	P16/T1PWML	29
6	P17/T1PWMH/BUZ	30
7	PWM1	31
8	PWM0	32
9	VDD2	33
10	VSS2	34
11	P00	35
12	P01	36
13	P02	37
14	P03/AN4	38
15	P04/AN5	39
16	P05/AN6	40
17	P06/AN7	41
18	P07/AN8	42
19	P20/INT4/T1IN	43
20	P21/INT4/T1IN	44
21	P22/INT4/T1IN	45
22	P23/INT4/T1IN	46
23	P24/INT5/T1IN	47
24	P25/INT5/T1IN	48
25	P26/INT5/T1IN	49
26	P27/INT5/T1IN	50
27	PB7/D7	51
28	PB6/D6	52
29	PB5/D5	53
30	PB4/D4	54
31	PB3/D3	55
32	PB2/D2	56

QIP /SQFP	NAME	DIP
33	PB1/D1	57
34	PB0/D0	58
35	VSS3	59
36	VDD3	60
37	PC7/A7	61
38	PC6/A6	62
39	PC5/A5	63
40	PC4/A4	64
41	PC3/A3	1
42	PC2/A2	2
43	PC1/A1	3
44	PC0/A0	4
45	PA2/CS0#	5
46	PA3/WR#	6
47	PA4/RD#	7
48	PA5/RS	8
49	P70/INT0/T0LCP/AN8	9
50	P71/INT1/T0HCP/AN9	10
51	P72/INT2/T0IN	11
52	P73/INT3/T0IN	12
53	RES#	13
54	XT1/AN10	14
55	XT2/AN11	15
56	VSS1	16
57	CF1	17
58	CF2	18
59	VDD1	19
60	P80/AN0	20
61	P81/AN1	21
62	P82/AN2	22
63	P10/SO0	23
64	P11/SI0/SB0	24

システムブロック図



端子機能表

端子名	I/O	機能説明	オプション												
VSS1 VSS2 VSS3	-	電源の - 端子	なし												
VDD1 VDD2 VDD3	-	電源の + 端子	なし												
ポート 0 P00 ~ P07	I/O	・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 ・ 兼用機能 AN3(P03) ~ AN7(P07) : AD 変換入力ポート	あり												
ポート 1 P10 ~ P17	I/O	・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 P10 : SI00 データ出力 P11 : SI00 データ入力 / バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力 / バス入出力 P15 : SI01 クロック入出力 P16 : タイマ 1PWML 出力 P17 : タイマ 1PWMH 出力 / ブザー出力	あり												
ポート 2 P20 ~ P27	I/O	・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 P20 ~ P23 : INT4 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力 P24 ~ P27 : INT5 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力 インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>H レベル</td><td>L レベル</td></tr><tr><td>INT4 INT5</td><td></td><td></td><td></td><td></td><td></td></tr></table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル	INT4 INT5						あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル										
INT4 INT5															
ポート 7 P70 ~ P73	I/O	・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 P70 : INT0 入力 / HOLD 解除入力 / タイマ 0L キャプチャ入力 / ウォッチドッグタイマ用出力 P71 : INT1 入力 / HOLD 解除入力 / タイマ 0H キャプチャ入力 P72 : INT2 入力 / HOLD 解除入力 / タイマ 0 イベント入力 / タイマ 0L キャプチャ入力 P73 : INT3 入力 (ノイズフィルタ付入力) / タイマ 0 イベント入力 / タイマ 0H キャプチャ入力 インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>H レベル</td><td>L レベル</td></tr><tr><td>INT0 INT1 INT2 INT3</td><td></td><td></td><td></td><td></td><td></td></tr></table> ・ 兼用機能 AN8(P70), AN9(P71) : AD 変換入力ポート		立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル	INT0 INT1 INT2 INT3						なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル										
INT0 INT1 INT2 INT3															

(次ページへ)

端子名	I/O	機能説明	オプション
ポート 8 P80 ~ P82	I/O	・ 3 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 AN0(P80) ~ AN2(P82) : AD 変換入力ポート	なし
ポート A PA2 ~ PA5	I/O	・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PA2 : パラレルインタフェースの CS0#出力 PA3 : パラレルインタフェースの WR#出力 PA4 : パラレルインタフェースの RD#出力 PA5 : パラレルインタフェースの RS 出力	あり
ポート B PB0 ~ PB7	I/O	・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PB0 ~ PB7 : パラレルインタフェースのデータ入出力 / アドレス出力	あり
ポート C PC0 ~ PC7	I/O	・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PC0 ~ PC7 : パラレルインタフェースのアドレス出力	あり
PWM0	0	PWM0 出力ポート	なし
PWM1	0	PWM1 出力ポート	なし
RES	I	リセット端子	なし
XT1	I	・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 AN10 : AD 変換入力ポート 汎用入力ポート 使用しない場合は VDD1 に接続してください。	なし
XT2	I/O	・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 AN11 : AD 変換入力ポート 汎用入力ポート 使用しない場合は発振仕様にして、オープンにしてください。	なし
CF1	I	セラミック発振子用入力端子	なし
CF2	0	セラミック発振子用出力端子	なし

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切替単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル (注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17 P20 ~ P27	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PA2 ~ PA5 PB0 ~ PB7(注) PC0 ~ PC7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P82	-	なし	Nch-オープンドレイン	なし
PWM0, PWM1	-	なし	CMOS	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz 水晶発振子用出力	なし

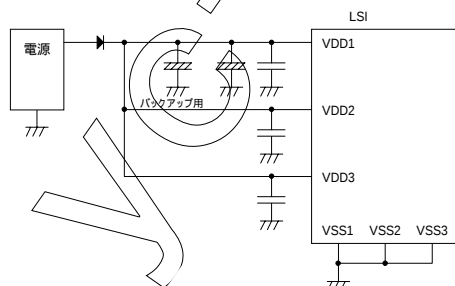
注1 ポート0のプログラマブルプルアップ抵抗は、4ビット単位 (P00 ~ 03, P04 ~ 07) の制御になります。

(注) パラレルインタフェースモードの時、PB0 ~ PB7はオプションに関係なく、出力形式がCMOSとなります。

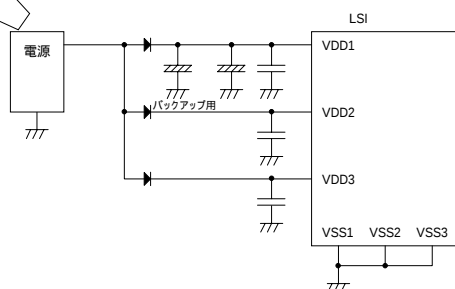
1 VDD1端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続してください。

VSS1端子とVSS2端子とVSS3端子は必ず電氣的にショートしてください。

(例1) HOLDモードでバックアップ時、ポート出力の‘H’レベルはバックアップ用コンデンサより供給されます。



(例2) HOLDモードバックアップ時、ポートの‘H’レベル出力は保持されず不定となります。



1. 絶対最大定格 / Ta=25 , VSS1=VSS2=VSS3=0V

項目		記号	適用端子・備考	条件	規格				
					VDD[V]	min.	typ.	max.	unit
最大電源電圧		VDDMAX	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		-0.3	~	+7.0	V
入力電圧		VI(1)	XT1, XT2, CF1			-0.3	~	VDD+0.3	
出力電圧		VO(1)	PWM0, PWM1			-0.3	~	VDD+0.3	
入出力電圧		VIO(1)	ボート0,1,2 ボート7,8 ボートA,B,C PWM0, PWM1			-0.3	~	VDD+0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ボート0,1,2 ボートA,B,C PWM0, PWM1	CMOS 出力選択 適用 1 端子当り		-10			mA
		IOPH(2)	P71 ~ P73	適用 1 端子当り		-5			
	合計出力電流	Σ IOAH(1)	P71 ~ P73	適用全端子合計		-5			
		Σ IOAH(2)	ボート1 PWM0, PWM1	適用全端子合計		-30			
		Σ IOAH(3)	ボート0	適用全端子合計		-20			
		Σ IOAH(4)	ボートB,2	適用全端子合計		-20			
		Σ IOAH(5)	ボートA,C	適用全端子合計		-20			
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ボート1,2 ボートA,B,C PWM0, PWM1	適用 1 端子当り				20	
		IOPL(2)	P00, P01	適用 1 端子当り				30	
		IOPL(3)	ボート7,8	適用 1 端子当り				5	
	合計出力電流	Σ IOAL(1)	ボート7	適用全端子合計				15	
		Σ IOAL(2)	ボート8	適用全端子合計				15	
		Σ IOAL(3)	ボート4 PWM0, PWM1	適用全端子合計				50	
		Σ IOAL(4)	ボート0	適用全端子合計				70	
		Σ IOAL(5)	ボートB,2	適用全端子合計				40	
		Σ IOAL(6)	ボートA,C	適用全端子合計				40	
許容消費電力		Pdmax	QIP64E SQFP64 DIP64S	Ta=-30 ~ +70				403 271 710	mW
動作周囲温度		Topp				-30	~	70	
保存周囲温度		Tstg				-55	~	125	

2. 許容動作条件 / Ta=-30 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
動作電源電圧	VDD(1)	VDD1=VDD2=VDD3	0.294 μ s tCYC 200 μ s		4.5		6.0	V
			0.588 μ s tCYC 200 μ s		2.5		6.0	
メモリ保持電源電圧	VHD	VDD1=VDD2=VDD3	HOLD モード時 RAM, レジスタ保持		2.0		6.0	
高レベル入力電圧	VIH(1)	ポート1,2 P71~P73 P70のポート入力 / 割り込み側		2.5~6.0	0.3VDD +0.7		VDD	
	VIH(2)	ポート0,8 ポートA,B,C		2.5~6.0	0.3VDD +0.7		VDD	
	VIH(3)	ポート70の ウォッチドッグタイマ側		2.5~6.0	0.9VDD		VDD	
	VIH(4)	XT1,XT2,CF1,RES#		2.5~6.0	0.75VDD		VDD	
低レベル入力電圧	VIL(1)	ポート1,2 P71~P73 P70のポート入力 / 割り込み側		2.5~6.0	VSS		0.1VDD +0.4	
	VIL(2)	ポート0,8 ポートA,B,C		2.5~6.0	VSS		0.15VDD +0.4	
	VIL(3)	ポート70の ウォッチドッグタイマ側		2.5~6.0	VSS		0.8VDD -1.0	
	VIL(4)	XT1,XT2,CF1,RES#		2.5~6.0	VSS		0.25VDD	
命令サイクル タイム	tCYC			4.5~6.0	0.294		200	μ s
				2.5~6.0	0.588		200	
外部システム クロック周波数	FEXCF(1)	CF1	・CF2端子オープン ・システムクロック 分周1/1 ・外部システムクロック のDUTY50 $\pm$ 5%	4.5~6.0	0.1		10	MHz
			・CF2端子オープン ・システムクロック 分周1/1 ・外部システムクロック のDUTY50 $\pm$ 5%	2.5~6.0	0.1		5	
			・CF2端子オープン ・システムクロック 分周1/2	4.5~6.0	0.2		20.4	
			・CF2端子オープン ・システムクロック 分周1/2	2.5~6.0	0.1		10	
発振周波数範囲 (注1)	FmCF(1)	CF1, CF2	10MHz セラミック発振時 図1参照	4.5~6.0		10		MHz
	FmCF(2)	CF1, CF2	5MHz セラミック発振時 図1参照	2.5~6.0		5		
	FmRC		内蔵RC発振	2.5~6.0	0.3	1.0	2.0	
	FsXtal	XT1, XT2	32.768Khz 水晶発振時 図2参照	2.5~6.0		32.768		KHz

(注1) 発振定数は表1, 2参照のこと。

3. 電気的特性 / Ta=-30 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD [V]	min.	typ.	max.	unit
高レベル入力電流	IIH(1)	ポート0,1,2 ポート7,8 ポートA,B,C RES# PWM0, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VDD (出力 Tr. のオフリーク電流を含む)	2.5 ~ 6.0			1	μA
	IIH(2)	XT1, XT2	入力ポート仕様時 VIN=VDD	2.5 ~ 6.0			1	
	IIH(3)	CF1	VIN=VDD	2.5 ~ 6.0			15	
低レベル入力電流	IIL(1)	ポート0,1,2 ポート7,8 ポートA,B,C RES# PWM0, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VSS (出力 Tr. のオフリーク電流を含む)	2.5 ~ 6.0	-1			
	IIL(2)	XT1, XT2	入力ポート仕様時 VIN=VSS	2.5 ~ 6.0	-1			
	IIL(3)	CF1	VIN=VSS	2.5 ~ 6.0	-15			
高レベル出力電圧	VOH(1)	ポート0,1,2	IOH=-1.0mA	4.5 ~ 6.0	VDD-1			V
	VOH(2)	ポートB,C PWM0, PWM1	IOH=-0.1mA	2.5 ~ 6.0	VDD-0.5			
	VOH(3)	ポートA	IOH=-5.0mA	4.5 ~ 6.0	VDD-1			
	VOH(4)		IOH=-0.4mA	2.5 ~ 6.0	VDD-0.5			
	VOH(5)	ポート7	IOH=-0.4mA	4.5 ~ 6.0	VDD-1			
低レベル出力電圧	VOL(1)	ポート0,1,2 ポートB,C PWM0, PWM1	IOH=10mA	4.5 ~ 6.0			1.5	
	VOL(2)		IOH=1.6mA	4.5 ~ 6.0			0.4	
	VOL(3)		IOH=1mA	2.5 ~ 6.0			0.4	
	VOL(4)	P00, P01	IOH=30mA	4.5 ~ 6.0			1.5	
	VOL(5)	ポート7,8	IOH=1mA	2.5 ~ 6.0			0.4	
	VOL(6)	ポートA	IOH=15mA	4.5 ~ 6.0			1.5	
	VOL(7)		IOH=2mA	2.5 ~ 6.0			0.4	
プルアップ抵抗	Rpu	ポート0,1,2 ポート7 ポートA,B,C	VOH=0.9VDD	2.5 ~ 6.0	15	40	70	kΩ
ヒステリシス電圧	VHIS	RES# ポート1,2,7		2.5 ~ 6.0		0.1VDD		V
端子容量	CP	全端子	被測定端子以外 VIN=VSS f=1MHz Ta=25	2.5 ~ 6.0		10		pF

4. シリアル入出力特性 / Ta=-30~+70 , VSS1=VSS2=VSS3=0V

項目		記号	適用端子・備考	条件	VDD[V]	規格			unit	
						min.	typ.	max.		
シリアル クロック	入力 クロック	周期	tSCK(1)	SCK0(P12),	図 6 参照	2.5 ~ 6.0	2			tCYC
		低レベル パルス幅	tSCKL(1)				1			
			tSCKLA(1)				1			
		高レベル パルス幅	tSCKH(1)				1			
			tSCKHA(1)				3(S100)			
		周期	tSCK(2)	SCK1(P15)	図 6 参照	2.5 ~ 6.0	2			
		低レベル パルス幅	tSCKL(2)				1			
		高レベル パルス幅	tSCKH(2)				1			
	出力 クロック	周期	tSCK(3)	SCK0(P12),	・CMOS 出力選択時 ・図 6 参照	2.5 ~ 6.0	4/3			tSCK
		低レベル パルス幅	tSCKL(3)					1/2		
			tSCKLA(2)					3/4		
		高レベル パルス幅	tSCKH(3)					1/2		
			tSCKHA(2)					2		
		周期	tSCK(4)	SCK1(P15)	・CMOS 出力選択時 ・図 6 参照	2.5 ~ 6.0	2			tCYC
低レベル パルス幅		tSCKL(4)					1/2		tSCK	
高レベル パルス幅		tSCKH(4)					1/2			
シリアル 入力	データセット アップ時間	tsDI	SB0(P11), SB1(P14), S10, S11	・S10CLK の立ち上がり に対して規定する ・図 6 参照	2.5 ~ 6.0	0.03			μs	
	データホールド 時間	thDI				0.03				
シリアル 出力	出力遅延時間	tdDO	S00(P10), S01(P13), SB0(P11), SB1(P14),	・S10CLK の立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する ・図 6 参照	2.5 ~ 6.0			1/3tCYC +0.05		

5. パラレル入出力特性 / Ta=-30 ~ +70 , VSS1=VSS2=VSS3=0V

注意: RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

パラレル入出力タイミング波形図8, 図9を参照してください。

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
ライトサイクル, リードサイクル	tC(1)			2.5 ~ 6.0		1		tCYC
アドレス セットアップ時間	tsA(1)	・WR#(PA3), PB0 ~ PB7 ・RD#(PA4), PC0 ~ PC7	アドレスの確定から 制御信号の変化まで	2.5 ~ 6.0	1/3tCYC -30ns			tCYC & ns
	tsA(2)	RD#(PA4), PC0 ~ PC7		2.5 ~ 6.0	2/3tCYC -30ns			
アドレス ホールド時間	thA(1)	RD#(PA4), PC0 ~ PC7	RD#の変化から アドレスの変化まで	2.5 ~ 6.0	1/6tCYC			ns
	thA(2)	WR#(PA3), PC0 ~ PC7	WR#の変化から アドレスの変化まで	2.5 ~ 6.0	5			
RS セットアップ時間	tsRS(1)	WR#(PA3), RS(PA5), CS#(PAX)	RS, CS#の変化から WR#の変化まで	2.5 ~ 6.0	1/6tCYC -15ns			tCYC & ns
	tsRS(2)	RD#(PA4), RS(PA5)	RSの変化から RD#の変化まで	2.5 ~ 6.0	1/6tCYC -15ns			
	tsRS(3)	RD#(PA4), RS(PA5)		2.5 ~ 6.0	1/3tCYC -15ns			
CS# セットアップ時間	tsCS(1)	RD#(PA4), CS#(PAX)	CS#の変化から RD#の変化まで	2.5 ~ 6.0	1/3tCYC -15ns			ns
	tsCS(2)	WR#(PA3), CS#(PAX)	CS#の変化から WR#の変化まで	2.5 ~ 6.0	2/3tCYC -15ns			
RS ホールド時間	thRS(1)	WR#(PA3), RS(PA5)	WR#の変化から RSの変化まで	2.5 ~ 6.0	0			ns
	thRS(2)	RD#(PA4), RS(PA5), CS#(PAX)	RD#の変化から RS, CS#の変化まで	2.5 ~ 6.0	1/6tCYC			tCYC & ns
	thRS(3)	RD#(PA4), RS(PA5), CS#(PAX)		2.5 ~ 6.0	0			ns
CS# ホールド時間	thCS(1)	RD#(PA4), RS(PA5)	RD#の変化から CS#の変化まで	2.5 ~ 6.0	1/6tCYC			tCYC & ns
	thCS(2)	WR#(PA3), RS(PA5)	WR#の変化から CS#の変化まで	2.5 ~ 6.0	0			ns
WR# 'H'パルス幅	tWRH(1)	WR#(PA3)		2.5 ~ 6.0	1/6tCYC -5ns	1/6 tCYC		tCYC & ns
	tWRH(2)	WR#(PA3)		2.5 ~ 6.0	2/3tCYC -5ns	2/3 tCYC		
WR# 'L'パルス幅	tWRL(1)	WR#(PA3)		2.5 ~ 6.0	1/6tCYC -5ns	1/6 tCYC		tCYC & ns
	tWRL(2)	WR#(PA3)		2.5 ~ 6.0	1/3tCYC -5ns	1/3 tCYC		
RD# 'H'パルス幅	tRDH(1)	RD#(PA4)		2.5 ~ 6.0	1/6tCYC -5ns	1/6 tCYC		tCYC & ns
	tRDH(2)	RD#(PA4)		2.5 ~ 6.0	1/3tCYC -5ns	1/3 tCYC		
RD# 'L'パルス幅	tRDL(1)	RD#(PA4)		2.5 ~ 6.0	1/3tCYC -5ns	1/3 tCYC		tCYC & ns
	tRDL(2)	RD#(PA4)		2.5 ~ 6.0	1/2tCYC -5ns	1/2 tCYC		
ライトデータ 許容ディレイ	tdDT(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち下がりから 入力データの確定まで の許容時間 注1	2.5 ~ 6.0			1/6tCYC -15ns	tCYC & ns
	tdDT(2)	RD#(PA4), PB0 ~ PB7		2.5 ~ 6.0			1/3tCYC -15ns	
入力データ セットアップ時間	tsDTR(1)	RD#(PA4), PB0 ~ PB7	入力データの確定から RD#の立ち上がりまで の時間 注2	2.5 ~ 6.0	40			ns
入力データ ホールド時間	thDTR(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち上がりから 入力データの保持必要 時間	2.5 ~ 6.0	0			ns

(次ページへ)

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
出力データ セットアップ時間	tSDTW(1)	RD#(PA4), PB0 ~ PB7	出力データの確定から WR#の立ち上がりまで の時間	2.5 ~ 6.0	1/3tCYC -30ns			tCYC & ns
出力データ セットアップ時間	tSDTW(2)			2.5 ~ 6.0	1/3tCYC -30ns			
出力データ ホールド時間	thDTW(1)	RD#(PA4), PB0 ~ PB7	WR#の立ち上がりから 出力データの保持時間	2.5 ~ 6.0	0			ns
	thDTW(2)			2.5 ~ 6.0	0			

注 1 : LOW の不正データがなくなるまでの時間

注 2 : tRDL(1) - tDDT(1) の期間は、LOW の不正データは出力されない。

6. パルス入力条件 / Ta=-30 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20 ~ P23), INT5(P24 ~ P27)	・割り込み要因フラグを セットできる。 ・タイマ 0, 1 へのイベント 入力ができる。	2.5 ~ 6.0	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が 1/1 の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ 0 へのイベント 入力ができる。	2.5 ~ 6.0	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が 1/32 の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ 0 へのイベント 入力ができる。	2.5 ~ 6.0	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が 1/128 の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ 0 へのイベント 入力ができる。	2.5 ~ 6.0	256			
	tPIL(5)	RES#	リセットできる。	2.5 ~ 6.0	200			μs

7. AD 変換特性 / Ta=-30 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
分解能	N	ANO(P80)		3.0 ~ 6.0		8		bit
絶対精度	ET	~ AN2(P82)	(注 2)	3.0 ~ 6.0			±1.5	LSB
変換時間	TCAD	AN3(P03) ~ AN7(P07) AN8(P70) AN9(P71) AN10(XT1) AN11(XT2)	AD 変換時間=32 × tCYC (ADCR2=0 の時) (注 3)	4.5 ~ 6.0	15.62 (tCYC= 0.488μs)		97.92 (tCYC= 3.06μs)	μs
				3.0 ~ 6.0	31.36 (tCYC= 0.980μs)		97.92 (tCYC= 3.06μs)	
			AD 変換時間=64 × tCYC (ADCR2=1 の時) (注 3)	4.5 ~ 6.0	18.82 (tCYC= 0.294μs)		97.92 (tCYC= 1.53μs)	
				3.0 ~ 6.0	62.72 (tCYC= 0.980μs)		97.92 (tCYC= 1.53μs)	
アナログ入力 電圧範囲	VAIN			3.0 ~ 6.0	VSS		VDD	V
アナログポート 入力電流	IAINH		VAIN=VDD	3.0 ~ 6.0			1	μA
	IAINL		VAIN=VSS	3.0 ~ 6.0	-1			

(注 2) 絶対精度は量子化誤差 (±1/2 LSB) を除く。

(注 3) 変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

8. 消費電流特性 / Ta=-30+70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
通常動作時 消費電流 (注 4)	IDDOP(1)	VDD1 =VDD2 =VDD3	・FmCF=10MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		10	20	mA
	IDDOP(2)		・CF1=20MHz 外部クロック ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは CF1 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		11	22	
	IDDOP(3)		・FmCF=5MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 5MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		6	12	
	IDDOP(4)		・周波数可変 RC 発振は停止 ・1/1 分周時	2.5 ~ 4.5		3	6	
	IDDOP(5)		・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		0.8	6	
	IDDOP(6)		・周波数可変 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		0.4	4	
	IDDOP(7)		・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振 - で 1MHz 設定 ・1/2 分周時	4.5 ~ 6.0		1.9	12	
	IDDOP(8)		・1/2 分周時	2.5 ~ 4.5		1.4	8	
	IDDOP(9)		・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		30	60	μA
	IDDOP(10)		・周波数可変 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		13	40	

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
HALT モード 消費電流 (注 4)	IDDHALT(1)	VDD1 =VDD2 =VDD3	HALT モード ・FmCF=10MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		3	9	mA
	IDDHALT(2)		・CF1=20MHz 外部クロック ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは CF1 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		4	10	
	IDDHALT(3)		・HALT モード ・FmCF=5MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 5MHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		2	4	
	IDDHALT(4)			2.5 ~ 4.5		1	2	
	IDDHALT(5)		・HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		0.4	1.5	
	IDDHALT(6)			2.5 ~ 4.5		0.2	1	
	IDDHALT(7)		・HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振 で 1MHz 設定 ・1/2 分周時	4.5 ~ 6.0		1.5	3.6	
	IDDHALT(8)			2.5 ~ 4.5		1.3	3.3	
	IDDHALT(9)		・HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		18	50	μA
	IDDHALT(10)			2.5 ~ 4.5		6	40	
HOLD モード 消費電流	IDDHOLD(1)	VDD1	HOLD モード ・CF1=VDD またはオープン (外部クロック時)	4.5 ~ 6.0		0.02	15	
	IDDHOLD(2)			2.5 ~ 4.5		0.01	10	
時計 HOLD モード 消費電流	IDDHOLD(3)	VDD1	時計 HOLD モード ・CF1=VDD またはオープン (外部クロック時) ・FmX'tal=32.768kHz 水晶発振時	4.5 ~ 6.0		14	40	
	IDDHOLD(4)			2.5 ~ 4.5		4	30	

(注 4) 消費電流は出力 Tr. および内蔵プルアップ抵抗に流れる電流を含まない。

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表 1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数			動作電圧 範囲	発振安定時間		備考
			C1	C2	Rd1		typ	max	
10MHz	村田製作所	CSTLS10M0G53-R0	(10pF)	(10pF)	150 Ω	4.5V-6.0V	0.03ms	0.3ms	C1, C2 内蔵品
		CSTLS10M0G52-B0	(15pF)	(15pF)	100 Ω	4.5V-6.0V	0.03ms	0.3ms	
5MHz	村田製作所	CSTLS5M00G53-R0	(15pF)	(15pF)	220 Ω	2.6V-6.0V	0.03ms	0.3ms	C1, C2 内蔵品
		CSTLS5M00G53-B0	(15pF)	(15pF)	330 Ω	2.6V-6.0V	0.03ms	0.3ms	

発振安定時間は、VDDが動作電圧下限を上回ってから、発振が安定するまでに必要な時間です。(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表 2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲	発振安定時間		備考
			C3	C4	Rf	Rd2		typ	max	
32.768kHz	セイコ・エプソン	MC-306	15pF	15pF	OPEN	390kΩ	2.5V-6.0V	1.5s	3.0s	適応CL値 10.7pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間です。(図4参照)

(注意) ・ 回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

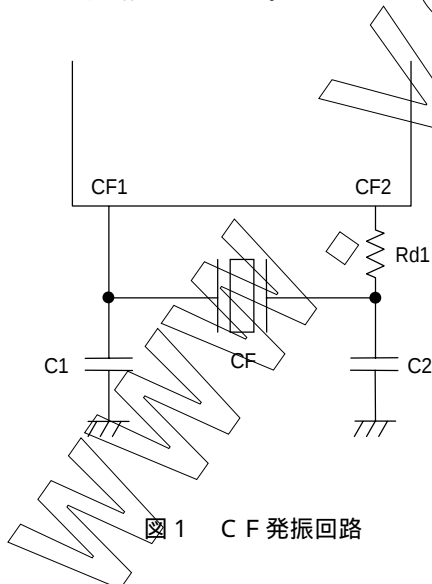


図 1 CF 発振回路

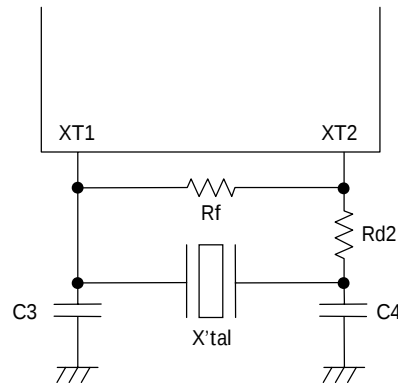


図 2 XT 発振回路

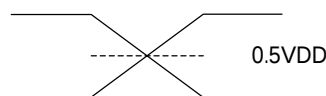


図 3 AC タイミング測定点

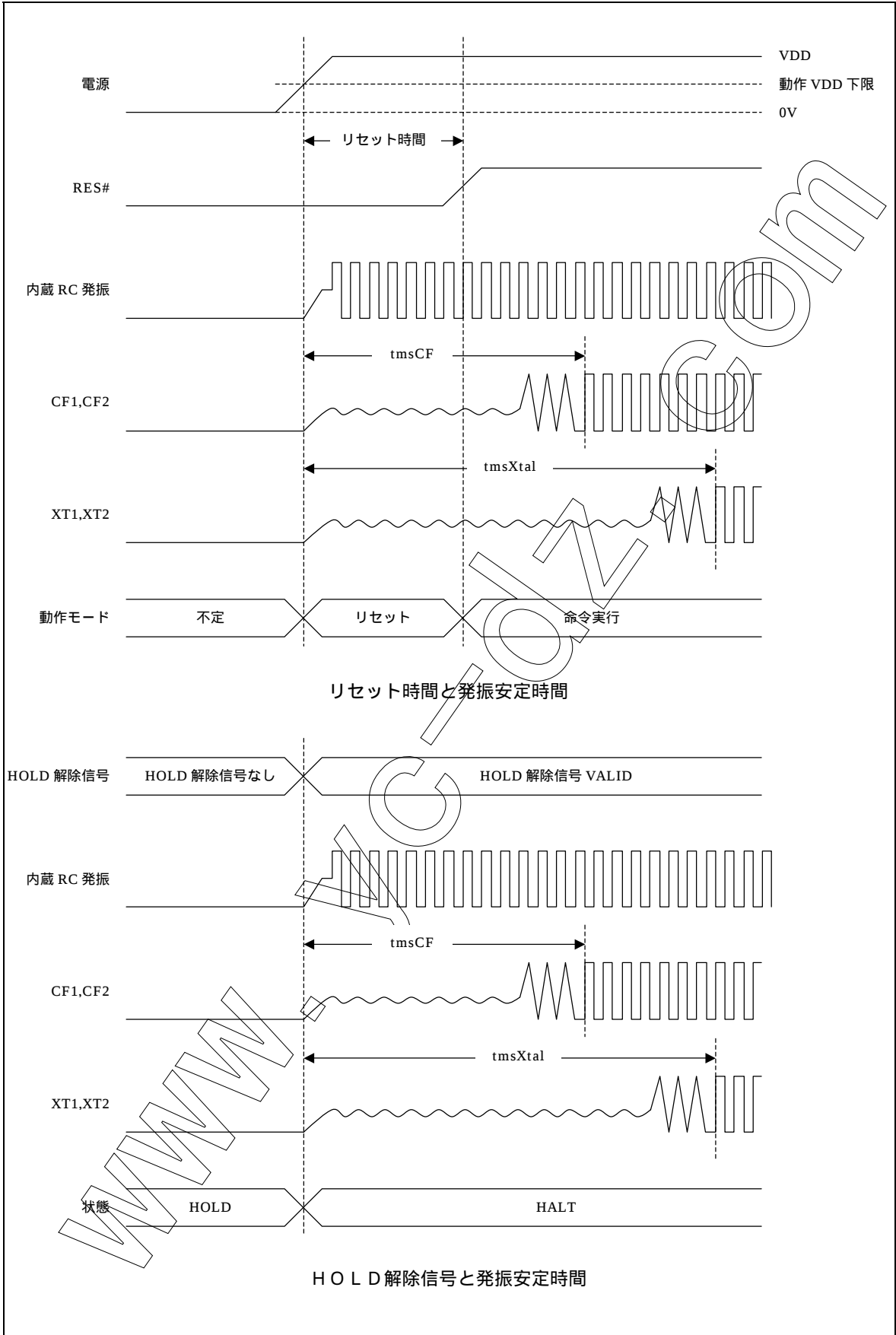


図 4 発振安定時間

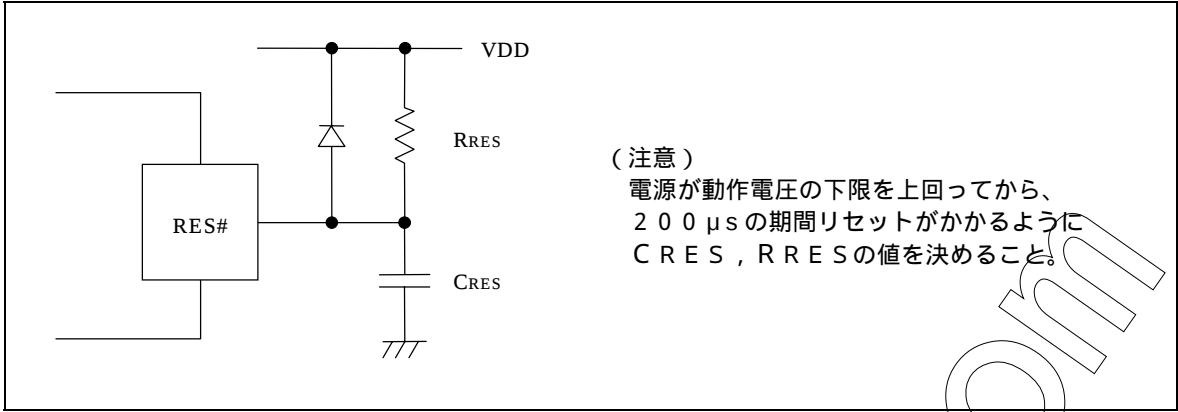
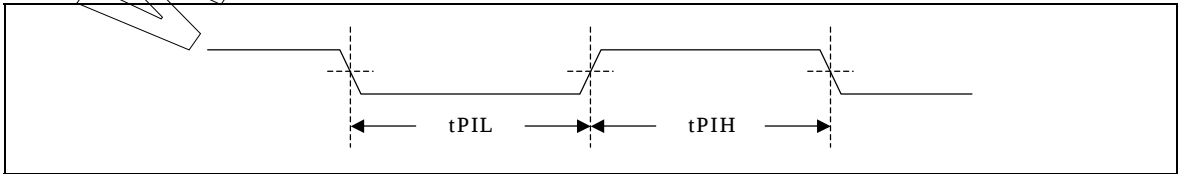
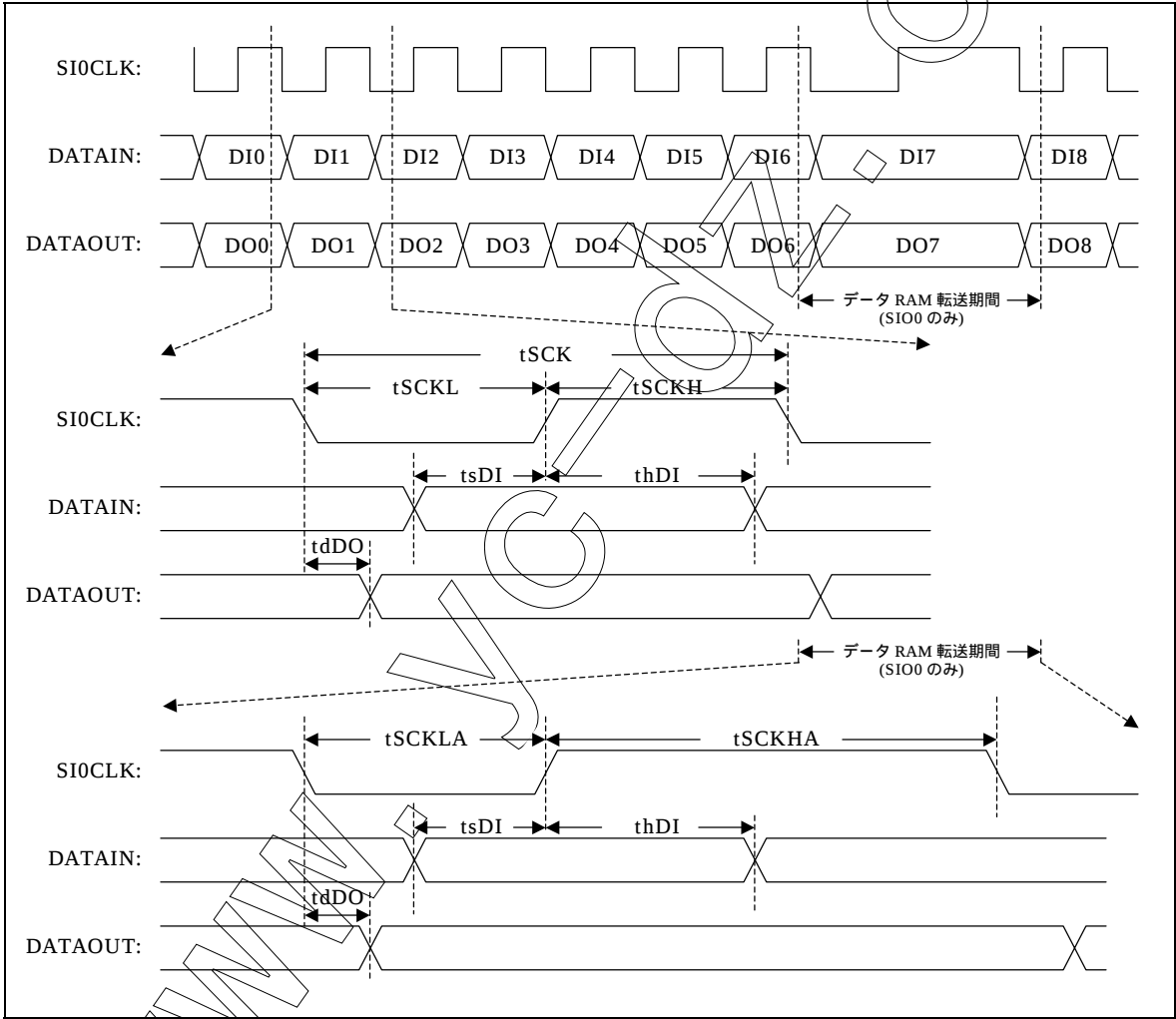
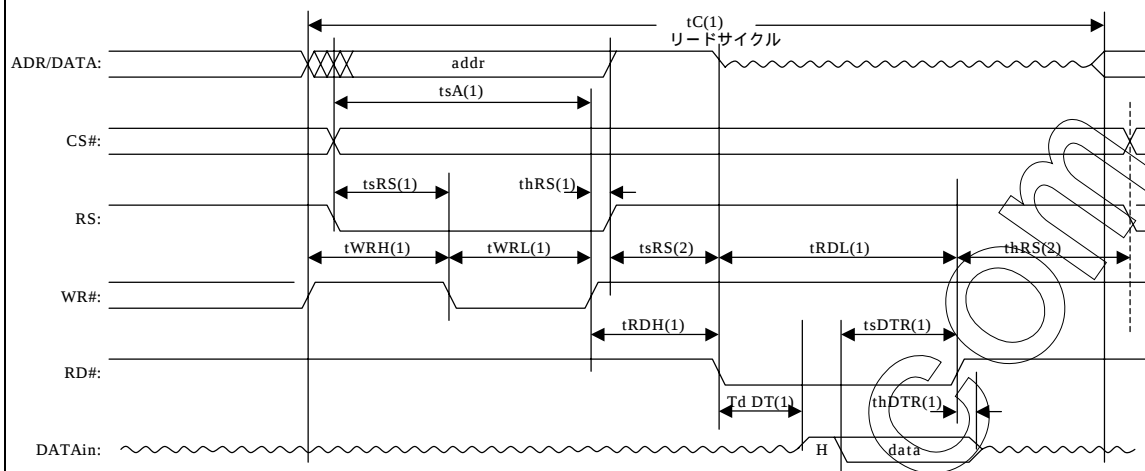


図5 リセット回路

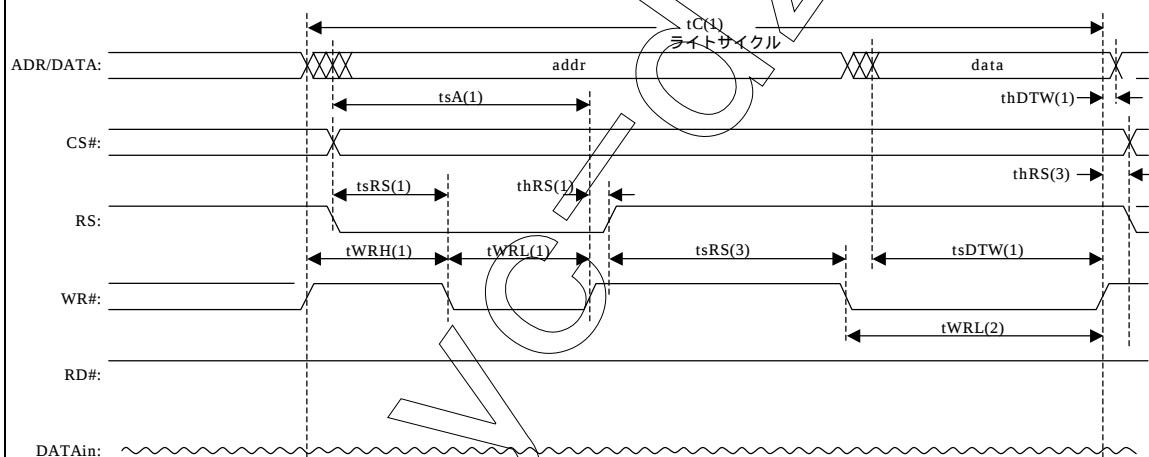


・パラレル入出力タイミング波形：間接指定リードモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

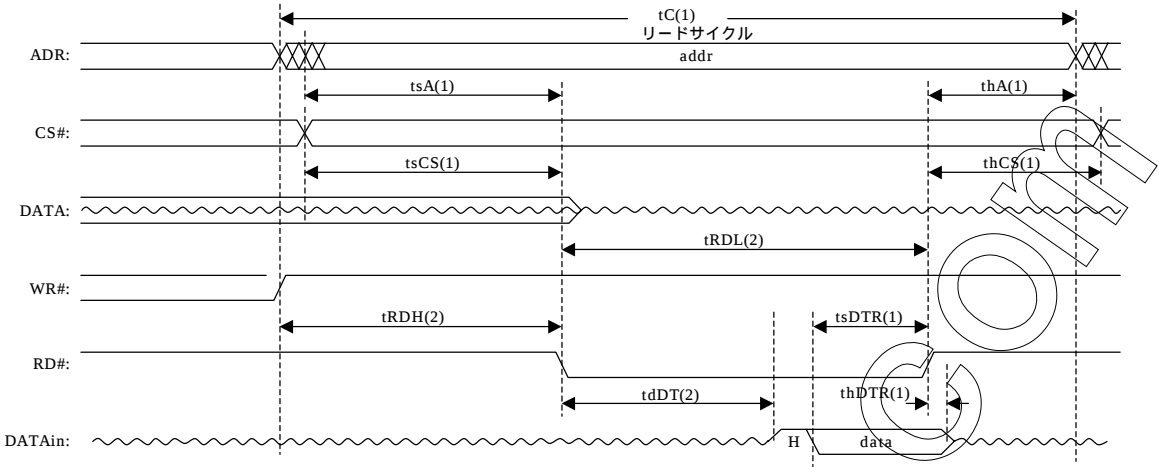
・パラレル入出力タイミング波形：間接指定ライトモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

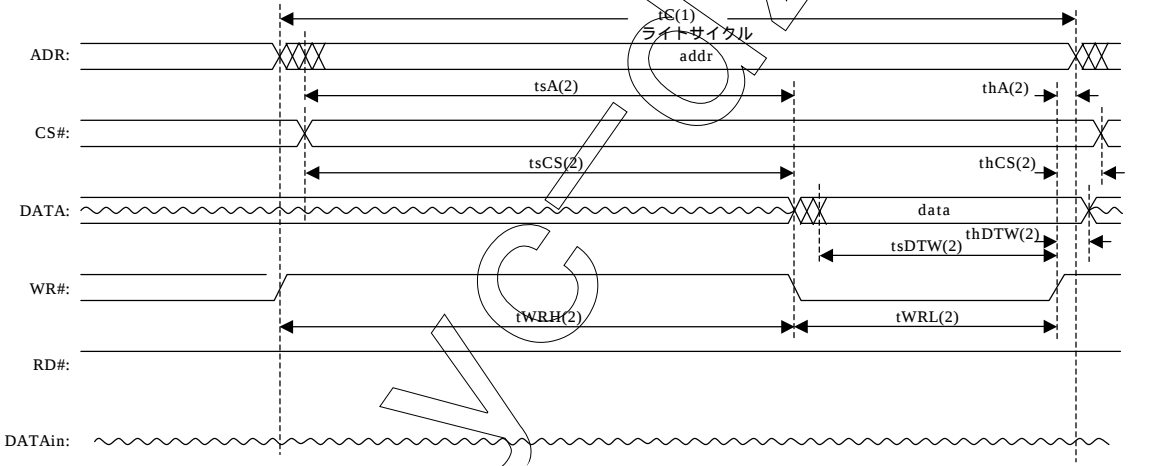
図8 間接モードパラレル入出力タイミング波形

・パラレル入出力タイミング波形：直接指定リードモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

・パラレル入出力タイミング波形：直接指定ライトモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

図9 直接モードパラレル入出力タイミング波形

memo :

www.yc-dz.com